วารสารวิชาการโรงเรียนนายเรือ ด้านวิทยาศาสตร์และเทคโนโลยี ปีที่ 1 ฉบับที่ 1 สิงหาคม 2557

วงจรคูณสัญญาณกระแสสี่ครอดแรนต์ใช้แรงดันต่ำและกำลังงานต่ำโดยใช้มอสทรานซิสเตอร์แบบขาเกตปล่อยลอย

Low-Voltage Low-Power Four-Quadrant Current Multiplier Using Floating Gate-MOS Transistors

มนตรี คำเงิน [1] จิระศักดิ์ ชาญวุฒิธรรม [2]

[1] สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ถนนฉลองกรุง เขตลาดกระบัง กรุงเทพฯ 10520 E-mail: kkmontre@kmitl.ac.th

[2.] ภาควิชาวิศวกรรมเครื่องมือวัดและอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ถนนประชาราษฎร์ 1 เขตบางซื่อ กรุงเทพฯ 10800 E-mail: jew@kmitnb.ac.th

บทคัดย่อ: บทความนี้นำเสนอวงจรคูณสัญญาณที่ทำงานในโหมดกระแสสี่ครอดแรนต์แบบแอนาลอกที่ใช้แหล่งจ่ายแรงดันต่ำ มอสทรานซิสเตอร์แบบขาเกตปล่อยลอยถูกนำมาใช้เพื่อทำให้วงจรที่นำเสนอสามารถทำงานได้ที่แหล่งจ่ายแรงดัน 0.75 โวลท์ วงจรที่นำเสนอจะถูกจำลองการทำงานด้วยโปรแกรม PSPICE โดยใช้พารามิเตอร์เทคโนโลยีซีมอส 0.18 µm จาก TSMC เพื่อยืนยันการทำงานของวงจร จากผลการจำลองแสดงได้ว่าวงจรมีค่าความผิดพลาด 1.5 % ที่อินพุทกระแส 8 µA มีค่าความเพี้ยนรวมของฮาร์โมนิกส์ 0.95 % เมื่ออินพุทกระแสมีขนาด 8 µA (peak) วงจรใช้กำลังงานสถิตย์เท่ากับ 19.9 µW และ มีแบนด์วิดท์ของสัญญาณขนาดเล็กเท่ากับ 180 MHz

คำสำคัญ: วงจรคูณสัญญาณแบบแอนาลอก วงจรโหมดกระแส มอสทรานซิสเตอร์แบบขาเกตปล่อยลอย วงจรแบบไม่เป็นเชิงเส้น

Abstract: This paper presents a new ultra-low-voltage current-mode four-quadrant analog multiplier. A floating-gate technique is used to provide the operation at a supply voltage of 0.75-V for the proposed multiplier. PSPICE simulators using 0.18 µm TSMC CMOS process are used to show the workability of the proposed circuit. Simulation results show that the circuit has a linearity error of 1.5 % for the input current 8 µA, total harmonic distortion of 0.96 % for the input current 8 µA (peak), quiescent power consumption of 19.9 µW and small-signal bandwidth of 180 MHz.

Keywords: analog multiplier, current-mode circuit, floating-gate MOS transistor, nonlinear circuit

1. บทนำ

วงจรคูณสัญญาณแบบแอนาลอกเป็นวงจรแบบไม่เป็นเชิงเส้นที่สามารถนำมาประยุกต์ใช้งานมากมายได้ในระบบโทรคมนาคม อิเล็กทรอนิกส์ และ ควบคุม วงจรคูณสัญญาณสามารถนำไปสร้างเป็นวงจรมอดูเลททางขนาด วงจรคูณความถี่ วงจรหารความถี่ วงจรควบคุมอัตราการขยายแบบอัตโนมัติ วงจรรากที่สอง และ วงจรเฟสล็อกลูป ดังนั้นที่จึงมีวงจรคูณสัญญาณนำเสนอไว้มากมายในวารสารต่างๆ ตัวอย่างเช่น [1]-[6] แต่วงจรเหล่านั้นมักจะใช้แรงดันค่อนข้างสูง (มากกว่า 1 โวลท์) และใช้กำลังงานค่อนข้างมาก ในปัจจุบันวงจรที่ทำงานได้ด้วยแรงดันต่ำกำลังได้รับความสนใจเพื่อออกแบบ ซึ่งมีสาเหตุมาจากในปัจจุบันอุปกรณ์ประเภทพกพา อุปกรณ์ทางการแพทย์ และ อุปกรณ์ตรวจจับแบบผังตัว กำลังเป็นที่ต้องการอย่างมาก ที่ผ่านมาได้มีการนำเสนอวงจรคูณสัญญาณที่ใช้แหล่งจ่ายแรงดันต่ำนำเสนอหลายวงจรใน [7]-[18] โดยใช้วิธีการที่แตกต่างกัน บทความใน [7] และ [8] นำเสนอวงจรคูณสัญญาณโดยไม่ใช้วิธีการที่พิเศษใดๆ แต่วงจรใน [7] ใช้แหล่งจ่าย ±1.5 โวลท์ ส่วนวงจรใน [8] ใช้แหล่งจ่าย 1.8 โวลท์ บทความใน [9] และ [10] ใช้วิธีการกำหนดให้ทรานซิสเตอร์ทำงานในย่านต่ำกว่าแรงดันแทรชโฮล (subthreshold region) ในขณะที่บทความใน [11]-[13] ใช้วิธีการกระตุ้นสัญญาณเข้าที่ขา bulk ของมอสทรานซิสเตอร์ แต่อย่างไรก็ตามมีเพียงวงจรใน [13] เท่านั้นที่ทำงานได้ที่แรงดันต่ำถึง 0.5 โวลท์ แต่วงจรถูกจำกัดการทำงานไว้ที่ความถี่ช่วงหลักสิบหน่วย kHz เท่านั้น วิธีการต่อมาคือใช้มอสทรานซิสเตอร์แบบขาเกตปล่อยลอย (floating gate-MOST: FG-MOST) ใน [14]-[18] วิธีการนี้เป็นวิธีที่รู้จักมานานแล้ว ซึ่งเดิมทีวิธีการนี้จะถูกนำมาใช้ในการสร้างตัวเก็บข้อมูลใน EEPROM EPROM และ FLASH ถึงแม้วงจรวงจรใน [14]-[18] จะสามารถทำงานได้ที่แรงดันต่ำ แต่วงจรเหล่านั้นส่วนมากเป็นวงจรที่ทำงานในโหมดแรงดัน ถ้าเปรียบเทียบกับวงจรที่ทำงานในโหมดแรงดัน วงจรที่ทำงานในโหมดกระแสจะมีแบนด์วิดท์กว้างกว่า มีค่าพิสัยพลวัติ (dynamic range) กว้างกว่า และ วงจรมีความง่ายกว่าเพราะการบวกและลบกระแสทำได้ง่ายกว่าแรงดัน [19]

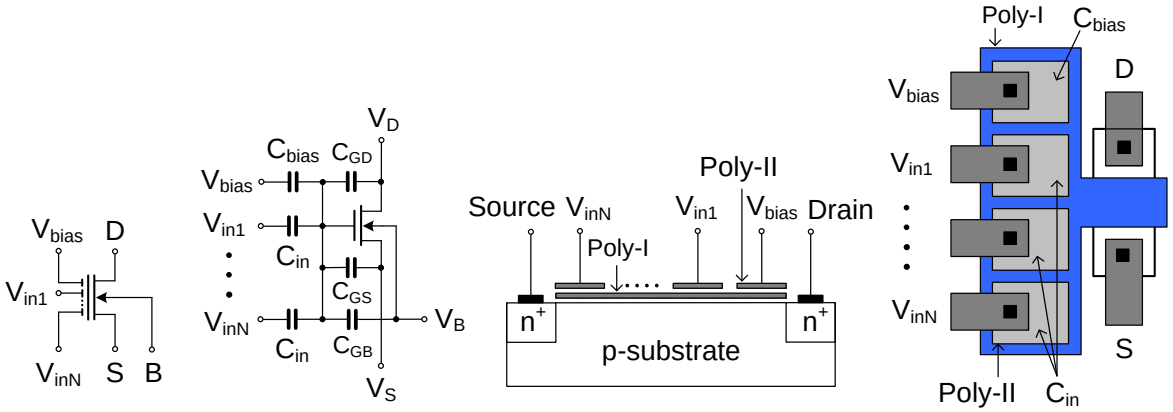
ดังนั้นบทความนี้จึงนำเสนอวงจรคูณสัญญาณโหมดกระแสสี่ครอดแรนต์ที่ทำงานในโหมดกระแส วงจรที่นำเสนอสามารถทำงานได้ที่แรงดันต่ำโดยใช้มอสทรานซิสเตอร์แบบขาเกตปล่อยลอย โดยวงจรใช้แหล่งจ่ายเพียง 0.75 โวลท์ และ ใช้กำลังงานสถิตย์ 19.9 μW ดังนั้นจึงคาดหมายว่าวงจรที่นำเสนอจะสามารถนำไปประยุกต์ใช้งานในระบบเครือข่ายประสาทเทียม และ ไบโออิเล็กทรอนิกส์ ที่ใช้กำลังงานต่ำได้เป็นอย่างดี วงจรที่นำเสนอจะถูกจำลองการทำงานด้วยโปรแกรม PSPICE เพื่อยืนยันการทำงานของวงจร

2. วงจรที่นำเสนอ

มอสทรานซิสเตอร์แบบขาเกตปล่อยลอย หรือ FG-MOST สามารถสร้างได้จากเทคโนโลยีซีมอสแบบมาตรฐานทั่วไป [14] รูปที่ 1(ก) แสดงสัญลักษณ์ของ FG-MOST ชนิด NMOS ที่มี N อินพุท และ วงจรเสมือนสามารถแสดงได้ดังรูปที่ 1(ข) รูปที่ 1(ค) แสดงโครงสร้างของ FG-MOST เมื่อถูกสร้างใน substrate ชนิด p และรูปที่ 1(ง) แสดงการวางผังเมื่อนำไปสร้างเป็นวงจรรวม สำหรับบทความนี้จะใช้ FG-MOST สองอินพุทเท่านั้น ดังนั้นแรงดัน floating gate (V_{FG}) ของ FG-MOST สองอินพุทแสดงได้คือ [14]

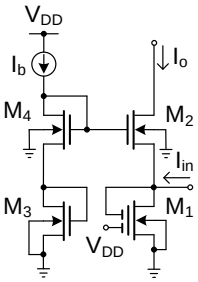
$$V_{FG} = \frac{C_{in1}V_{in1} + C_{bias}V_{bias} + C_{GD}V_D + C_{GS}V_S + C_{GB}V_B + Q_0}{C_T} \quad (1)$$

โดยที่ V_D คือแรงดันที่ขาเดรน V_S คือแรงดันที่ขาซอร์ส V_B คือแรงดันที่ขา bulk และ Q_0 คือประจุเริ่มแรกที่เกิดจากกระบวกการผลิตซึ่งจะต้องถูกกำจัดทิ้งไปโดยการใช้แสง UV หาก Q_0 ไม่ถูกกำจัดทิ้งไป ผลจะทำให้เกิดแรงดันออฟเซ็ต [21] C_{GD} C_{GS} และ C_{GB} เป็นคาปาซิแตนซ์จากขาเกตไปขาเดรน ขาซอร์ส และ ขา bulk (substrate) ตามลำดับ C_T คือค่าคาปาซิแตนซ์รวมของขาเกตปล่อยลอยซึ่งเขียนได้คือ

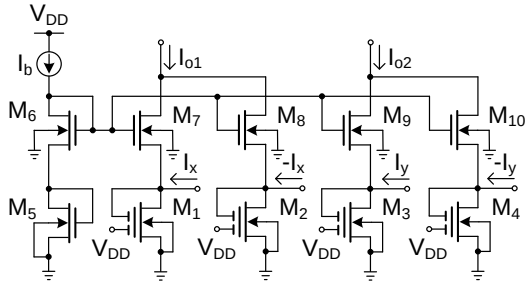


(ก) (ข) (ค) (ง)

รูปที่ 1 FG-MOST [20] (ก) สัญลักษณ์ (ข) วงจรเสมือน (ค) โครงสร้าง (ง) การวางผัง



รูปที่ 2 วงจรกำลังสองสัญญาณกระแสโดยใช้ FG-MOST



รูปที่ 3 วงจรคูณสัญญาณกระแสสี่ครอดแรนต์ที่นำเสนอ

$$C_T = C_{in1} + C_{bias} + C_{GD} + C_{GS} + C_{GB} \qquad (2)$$

ค่าอินพุทคาปาซิแตนซ์ที่เลือกใช้จะต้องมีค่ามากกว่าผลรวมของค่าคาปาซิแตนซ์แฝง ($C_T \approx C_{in}+C_{bias}$) ดังนั้นแรงดัน V_{FG} เขียนใหม่ได้คือ

$$V_{FG} = \frac{C_{in1}}{C_T}V_{in1} + \frac{C_{bias}}{C_T}V_{bias} \qquad (3)$$

แรงดันแทรชโฮล ($V_{T,equ}$) เสมือนสำหรับ G_{in1} กำหนดได้คือ

$$V_{T,equ} = \frac{V_T - V_{bias}\left(C_{bias}/C_T\right)}{\left(C_{in1}/C_T\right)} \qquad (4)$$

โดยที่ V_T คือค่าแรงดัน (threshold voltage) จะเห็นได้ว่าค่าแรงดัน $V_{T,equ}$ สามารถลดลงได้เมื่อกำหนดค่า C_{in1}/C_T C_{bias}/C_T และ V_{bias} ที่เหมาะสม กระแสเดรนของ FG-MOST ที่ทำงานในช่วงอิ่มตัวกำหนดได้คือ

$$I_D = \frac{\mu_n C_{ox}}{2}\frac{W}{L}\left(V_{FG} - V_T\right)^2 \qquad (5)$$

โดยที่ μ คือค่าสภาพความคล่องตัวของอิเล็กตรอน C_{ox} คือค่าคาปาซิแตนซ์ gate-oxide ต่อหน่วยพื้นที่ W ค่าความกว้าง และ L คือค่าความยาวของแชนแนล

รูปที่2 แสดงวงจรกำลังสองสัญญาณกระแสที่ใช้ FG-MOST วงจรประกอบด้วย FG-MOST หนึ่งตัว มอสแบบมาตรฐาน (M_2-M_4) สามตัว และ แหลงจ่ายกระแสหนึ่งแหล่งจ่าย ถ้าสมมติว่าทรานซิสเตอร์ทั้งหมดในรูปที่ 2 ทำงานในย่านอิ่มตัว ค่าทรานส์คอนดักแตนซ์ของทุกตัวเท่ากันและมีกระแสอินพุท I_{in} ถูกป้อนให้กับวงจร เมื่อใช้หลักการทรานส์ลิเนียร์ ความสัมพันธ์ของกระแสในรูปที่ 2 แสดงได้คือ

$$\sqrt{\frac{I_{D1}}{m}}+\sqrt{I_{D2}}=\sqrt{I_{D3}}+\sqrt{I_{D4}} \qquad (6)$$

เมื่อ $m = C/C_T$ $C = C_{in1} = C_{bias}$ ($m \approx 0.5$) I_{D1} I_{D2} I_{D3} และ I_{D4} คือกระแสที่ขาเดรนของ M_1 M_2 M_3 และ M_4 ตามลำดับ กำหนดให้ $I_{D2} = I_o$ $I_{D3} = I_{D4} = I_b$ และ $I_{D1} = I_o + I_{in}$ กระแส I_o ของวงจรในรูปที่ 2 สามารถแสดงได้คือ

$$I_o = I_b + \frac{mI_{in}}{2} + \frac{mI_{in}^2}{16I_b} \qquad (7)$$

วงจรคูณสัญญาณโหมดกระแสที่นำเสนอสามารถแสดงได้ดังรูปที่ 3 วงจรที่นำเสนอประกอบด้วยวงจรกำลังสองสัญญาณกระแสสี่วงจรโดยทั้งหมดถูกไบอัสด้วยกระแส I_b การทำงานของวงจรสามารถอธิบายได้ดังนี้ เมื่อกระแส I_x และ I_y มีค่าเป็นบวก M_1 และ M_3 จะนำกระแส ในทางกลับกันถ้า I_x และ I_y มีค่าเป็นลบ ($-I_x$ และ $-I_y$) M_2 และ M_4 จะนำกระแส ถ้ากำหนดให้ $I_x = I_{in1}+I_{in2}$ $I_y=I_{in1}-I_{in2}$ และใช้สมการที่ (7) กระแส I_{o1} และ I_{o2} สามารถแสดงได้คือ

$$I_{o1} = 2I_b + \frac{2mI_{in1}^2 + 4mI_{in1}I_{in2} + 2mI_{in2}^2}{16I_b} \qquad (8)$$

$$I_{o2} = 2I_b + \frac{2mI_{in1}^2 - 4mI_{in1}I_{in2} + 2mI_{in2}^2}{16I_b} \qquad (9)$$

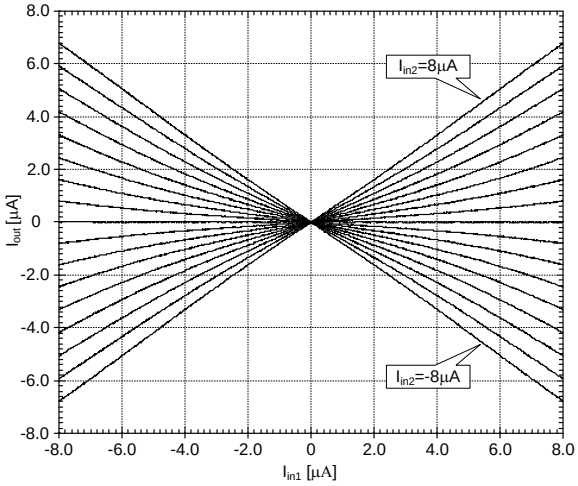
กระแสเอาท์พุทของวงจรคูณสัญญาณสามารถกำหนดได้คือ $I_{out} = I_{o1} - I_{o2}$ และเขียนได้คือ

$$I_{out} = \frac{mI_{in2}I_{in2}}{I_b} \qquad (10)$$

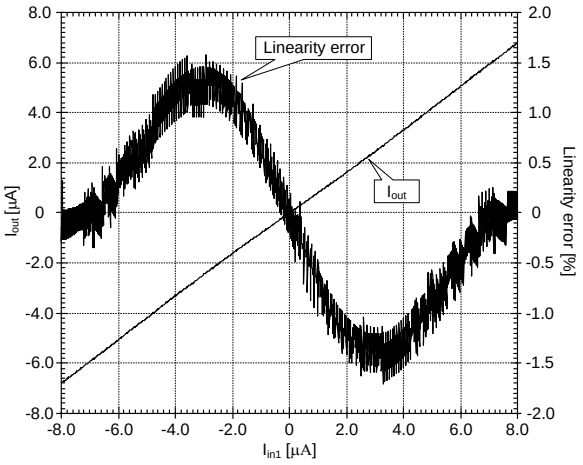
ดังนั้นจากสมการที่ (10) สามารถแสดงได้ว่ากระแส I_{out} คือผลคูณของกระแส I_{in1} และ I_{in2} และสามารถพิจารณาต่อไปได้ว่าสมการกระแสเอาท์พุท I_{out} ปราศจากพารามิเตอร์ของอุปกรณ์เช่นค่า V_T และ μ ซึ่งแสดงได้ว่าวงจรไม่มีความไวต่อการเปลี่ยนแปลงของอุณหภูมิ นอกจากนี้เมื่อวงจรทำงานในคลาส AB ดังนั้นวงจรจึงมีช่วงปฏิบัติงานทางอินพุทกว้างเป็นสี่เท่าของกระแสไบอัส และ เมื่อเปรียบเทียบกับวงจรใน [3] [4] และ [6] วงจรที่นำเสนอให้คุณสมบัติที่ดีกว่าทางด้านการใช้กำลังงานน้อยกว่า และ การใช้แหล่งจ่ายแรงดันที่ต่ำกว่า

3. ผลการจำลองการทำงาน

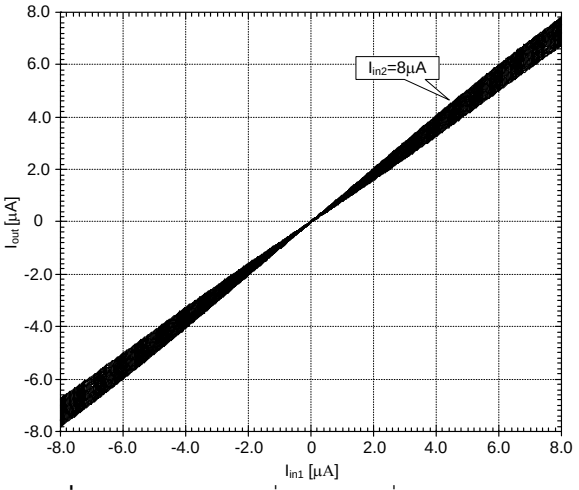
เพื่อตรวจสอบการทำงานของวงจรที่นำเสนอ วงจรในรูปที่ 3 จะถูกจำลองการทำงานด้วยโปรแกรม PSPICE โดยใช้แหล่งจ่าย 0.75 โวลท์ กำหนดกระแสไบอัส I_b เท่ากับ 2 μA วงจรถูกออกแบบด้วยเทคโนโลยีซีมอส 0.18 μm จาก TSMC ค่า W/L ของทรานซิสเตอร์ทุกตัวเท่ากับ 1 μm/0.5 μm โมเดลของ FG-MOST จะกำหนดให้ตัวต้านทาน 100 GΩ ต่อขนานกับตัวเก็บประจุ 0.2 pF วงจรบวกและลบสัญญาณทั้งอินพุทและเอาท์พุทใช้เครื่องมือจาก Library ของโปรแกรม PSPICE (FPOLY) ในการวัดค่าการใช้กำลังงานสถิตย์ของวงจร กำหนดให้ $I_{in1} = I_{in2} = 0$ (เปิดวงจร) จากผลการจำลองการทำงานของวงจรแสดงได้ว่าวงจรใช้กำลังงาน 19.9 μW รูปที่ 4 แสดงคุณสมบัติทาง DC ของวงจรคูณสัญญาณเมื่ออินพุท I_{in1} และ I_{in2} มีค่าอยู่ในช่วงจาก -8 μA ถึง 8 μA โดยที่อินพุท I_{in2} เป็นพารามิเตอร์เปลี่ยนแปลงที่ละ 1 μA และ อินพุท I_{in1} ตัวกวาด (sweep)



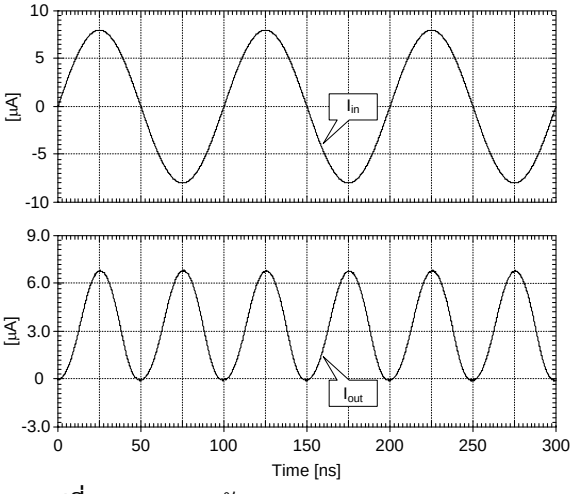
รูปที่ 4 ผลการจำลองคุณสมบัติทาง DC



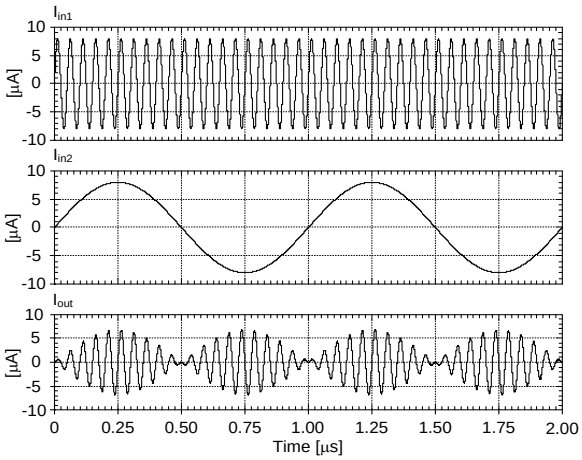
รูปที่ 5 ผลการจำลองค่าความเป็นเชิงเส้นที่ผิดพลาด



รูปที่ 6 กระแสเอาท์พุทเมื่อทำการเปลี่ยนอุณหภูมิจาก 25°C ถึง 75°C



รูปที่ 7 ผลคูณของสัญญาณ 10 MHz และ 10 MHz



รูปที่ 8 ผลคูณของสัญญาณ 10 MHz และ 1 MHz

ตารางที่ 1 ผลการจำลองการทำงานโดยสรุป

พารามิเตอร์	**ค่า**
เทคโนโลยี	0.18 µm
แหล่งจ่ายแรงดัน	+0.75V
การใช้กำลังงาน	
คงที่ (I_{in1}=I_{in2}=0A)	19.9 µW
สูงสุด (I_{in1}=I_{in2}=8µA)	25.0 µW
ช่วงปฏิบัติงานทางอินพุท	±8 µA
Nonlinearity error for I_{in1}	
@I_{in2}=8 µA	1.50 %
@I_{in2}=-8 µA	1.52 %
THD for I_{in1}=16 μA_{P-P}@ 10MHz	
@I_{in2}=8 μA_{dc}	1.30 %
@I_{in2}=-8 μA_{dc}	1.27 %
ความต้านทานขั้วอินพุท (I_x และ I_y)	7.6 kΩ
แบนด์วิดท์ (-3dB)	180MHz

รูปที่ 5 แสดงความผิดพลาดเชิงเส้นเมื่อ I_{in2} มีค่าสูงสุด คือ 8 µA จากรูปค่าความผิดพลาดสูงสุดอยู่ที่ประมาณ 1.5 % รูปที่ 6 แสดงคุณสมบัติทางอุณหภูมิของวงจรเมื่อทำการจำลองการทำงานโดยเปลี่ยนอุณหภูมิจาก 25°C ถึง 75°C ต่อมาได้ทำการทำงานของวงจรเมื่อป้อนสัญญาณ

อินพุททั้งสองอินพุทเหมือนกันซึ่งวงจรจะทำงานเป็นวงจรคูณความถี่เป็นสองเท่า รูปที่ 7 แสดงการทำงานของวงจรเมื่อป้อนความถี่ 10 MHz และขนาด 16 μA_{p-p} เข้าที่อินพุท I_{in1} และ I_{in2} จากรูปแสดงสัญญาณความถี่ 20 MHz ที่กระแส I_{out} รูปที่ 8 แสดงการทำงานของวงจรเมื่อป้อนอินพุท I_{in1} เท่ากับ 16 μA_{p-p} ความถี่ 20 MHz และ I_{in2} ขนาด 16 μA_{p-p} ความถี่ 1 MHz ผลการจำลองการทำงานของวงจรคูณที่นำเสนอสามารถสรุปได้ดังตารางที่ 1

4. สรุป

บทความนี้นำเสนอวงจรคูณสัญญาณกระแสสี่ครอดแรนต์ที่ที่ใช้แรงดันและกำลังงานต่ำ ทรานซิสเตอร์แบบขาเกตปล่อยลอยถูกนำมาใช้เพื่อทำให้วงจรที่นำเสนอสามารถทำงานได้ที่แรงดัน 0.75 โวลท์ วงจรที่นำเสนอสามารถนำไปประยุกต์ใช้งานเป็นวงจรย่อยในการประมวลขนาดใหญ่ที่สร้างเป็นวงจรรวม ในการใช้งานวงจรบวกและลบสัญญาณกระแสต้องการเพิ่มเติม วงจรที่นำเสนอจะถูกจำลองการทำงานด้วยโปรแกรม PSPICE เพื่อแสดงคุณสมบัติของวงจรที่นำเสนอ

เอกสารอ้างอิง

[1] Y. H. Kim, S. B. Park, “Four-quadrant CMOS analogue multiplier,” *Electronics Letters*, vol. 28, 1992, pp. 649-650.

[2] S.-I. Liu, C.-C. Chang, “CMOS four-quadrant multiplier using active attenuations,” *International Journal of Electronics*, vol. 79, 1995, pp. 323-328.

[3] K. Tanno, O. Ishizuka, Z. Tang, “Four-quadrant CMOS current-mode multiplier independent of device parameters,” *IEEE Transactions on Circuits and Systems-II*, vol. 47, 2000, pp. 473-477.

[4] E. Ibaragi, A. Hyogo, K. Sekine, “A CMOS analog multiplier free from mobility reduction and body effect,” *Analog Integrated Circuits and Signal Processing*, vol. 25, 2000, pp. 281-290.

[5] I. Chaisayun, K. Dejhan, “A versatile CMOS analog multiplier,” *IEICE Transactions on Fundamentals*, vol. E86-A, 2003, pp. 1225-1232.

[6] V. J. S. Oliveira, N. Oki, “Low voltage four-quadrant current multiplier: an improved topology for n-well CMOS technology,” *Analog Integrated Circuits and Signal Processing*, vol. 65, 2010, pp. 61-66.

[7] S. C. Li, “LV/LP CMOS four-quadrant analog multiplier cell in modified bridged-triode scheme,” *Analog Integrated Circuits and Signal Processing*, vol. 33, 2002, pp. 43-56.

[8] C. Sawigun, A. Demosthenous, “Compact low-voltage CMOS four-quadrant analogue multiplier,” *Electronics Letters*, vol. 42, 2006, pp. 1149-1150.

[9] S.-I. Liu, C.-C. Chang, “CMOS subthreshold four-quadrant multiplier based on unbalanced source-couple pars,” *International Journal of Electronics*, vol. 78, 1995, pp. 327-332.

[10] D. Coue, G. Wilson, “A four-quadrant subthreshold mode multiplier for analog neural-network applications,” *IEEE Transactions on Neural Networks*, vol. 7, 1996, pp. 1212-1219.

[11] B. Aggarwal, M. Gupta, “Low voltage bulk-driven class-AB four quadrant CMOS current multiplier,” *Analog Integrated Circuits and Signal Processing*, vol. 65, 2010, pp. 163-169.

[12] W. Liu, S.-I. Liu, “Design of a CMOS low-power and low-voltage four-quadrant analog multiplier,” *Analog Integrated Circuits and Signal Processing*, vol. 63, 2010, pp. 307-312.

[13] A. Panigrahi, P. K. Paul, “A novel bulk-input low voltage and low power four quadrant analog multiplier in weak inversion,” *Analog Integrated Circuits and Signal Processing*, vol. 75, 2013, pp. 237-243.

[14] H. R. Mehrvarz, C. Y. Kwok, “A Novel Multi-Input Floating-Gate MOS Four-Quadrant analog multiplier,” *IEEE Journal of Solid-State Circuits*, vol. 31, 1996, pp. 1123-1131.

[15] S. Vlassis, S. Siskos, “Analogue squarer and multiplier based on floating-gate MOS transistors,” *Electronics Letters*, vol. 34, 1998, pp. 825-826.

[16] J.-J. Chen, S.-I. Liu, Y.-S. Hwang, “Low-voltage single power supply four-quadrant multiplier using floating-gate MOSFETs,” *IEE Proceeding-Circuits Devices Systems*, vol. 145, 1998, pp. 40-43.

[17] Y. Berg, O. Naess, M. Hovin, “Ultralow-voltage floating-gate analog multiplier with tunale linearity,” in *Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS 2000)*, Switzerland, 2000, pp. 1-4.

[18] I. Navarro, A. J. Lopez-Martín, C. A. De La Cruz-Blas, A. Carlosena, “A compact four-quadrant floating-gate MOS multiplier,” *Analog Integrated Circuits and Signal Processing*, vol. 41, 2004, pp. 159-166.

[19] G. W. Roberts and A. S. Sedra, “All-current-mode frequency selective circuits,” *Electronics Letters*, vol. 25, 1989, pp. 759-761.

[20] F. Khateb, N. Khateb, J. Koton, “Novel low-voltage ultra-low-power DVCC based on floaing-gate folded cascode OTA,” *Microelectronics Journal*, vol. 42, 2011, pp. 1010-1017.

[21] A. J. Lopez-Martin, J. Ramirez-Angulo, R. G. Carvajal, L. Acosta, “CMOS transconductors with continuous tuning using FGMOS balanced output current scaling,” *IEEE Journal of Solid-State Circuits*, vol. 43, 2008, pp. 1313-1323.

มนตรี คำเงิน
สำเร็จการศึกษาวิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ.2549 สถานที่ทำงาน สาขาวิชาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ตำแหน่งผู้ช่วยศาสตราจารย์ งานวิจัยที่สนใจ Analog circuits, filters and oscillators, Analog and digital VLSI circuits

จิระศักดิ์ ชาญวุฒิธรรม
สำเร็จการศึกษาวิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ.2555 สถานที่ทำงาน ภาควิชาวิศวกรรมเครื่องมือวัดและอิเล็กทรอนิกส์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ตำแหน่งรองศาสตราจารย์ งานวิจัยที่สนใจ Electronics Circuit and Instrumentation System